

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-271714

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

G02F 1/133

G02F 1/1343

G02F 1/136

G09G 3/36

H04N 5/66

(21)Application number : 10-076056

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.03.1998

(72)Inventor : HANARI ATSUSHI

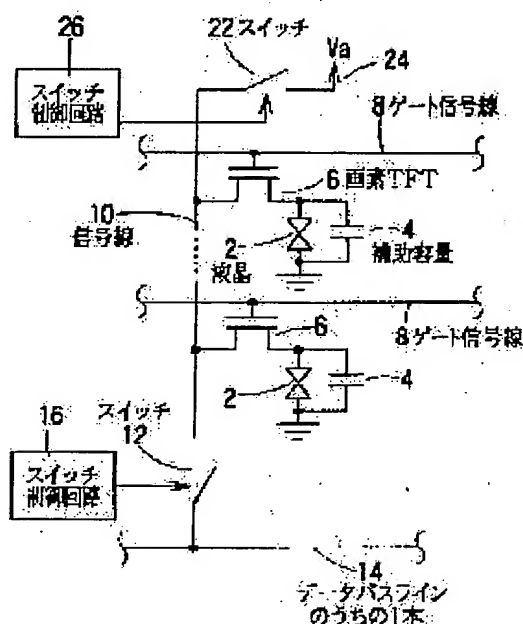
(54) ARRAY SUBSTRATE, AND LIQUID CRYSTAL DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain the array substrate which has low power consumption and is free of an overload on an IC and short in write time by providing a means which applies a voltage below a video signal voltage before the video signal voltage is applied to a video signal line.

SOLUTION: The potential of the signal line 10 after reaching a reference potential V_a with a switch 22 ON rises up to a given data signal potential with the switch 22 OFF and a switch 12 ON. After the switch 12 is turned off, the potential is held and a gate signal is applied to given pixel to write the signal to the specific pixel. This operation is performed normally in every horizontal cycle.

Consequently, the reference potential V_a is written before the signal is written to the signal line 10 from a data bus line 14, so even when the write is performed with a maximum amplitude, the voltage amplitude in the write may be small. Therefore, a driving IC having drive performance, which is smaller than that of a conventional one, can be used and the power consumption is reducible.



LEGAL STATUS

[Date of request for examination]

18.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-271714

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl. ⁶	識別記号	F I
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133 5 5 0
1/1343		1/1343
1/136	5 0 0	1/136 5 0 0
G 0 9 G 3/36		G 0 9 G 3/36
H 0 4 N 5/66	1 0 2	H 0 4 N 5/66 1 0 2 B

審査請求 未請求 請求項の数16 O L (全 13 頁)

(21) 出願番号 特願平10-76056

(22) 出願日 平成10年(1998)3月24日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 羽 成 淳

埼玉県深谷市幡羅町1-9-2 株式会社

東芝深谷電子工場内

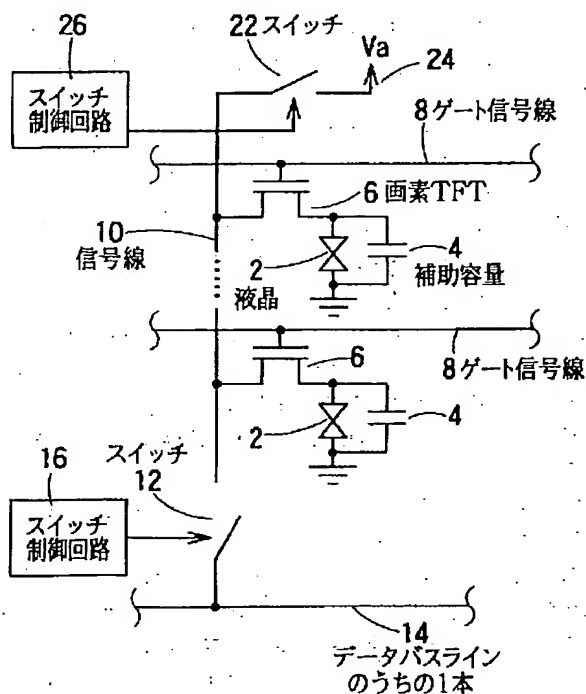
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 アレイ基板、液晶表示装置及びその駆動方法

(57) 【要約】

【課題】 低消費電力で、I Cに過負荷がかからず、書き込み時間も短いアレイ基板、液晶表示装置及びその駆動方法を提供することを目的とする。

【解決手段】 マトリクス状に配置された複数の画素と、前記複数の画素の少なくともいずれかに接続された複数の映像信号線と、前記複数の映像信号線のそれぞれに対して、間欠的に映像信号電圧を印加する手段と、前記複数の映像信号線のそれぞれに対して、前記映像信号電圧を印加するに先だって、前記映像信号電圧を超えない電圧を印加する手段と、を設けることによりI Cの負荷を軽減することができる。



【特許請求の範囲】

【請求項 1】マトリクス状に配置された複数のスイッチング素子と、

前記複数のスイッチング素子の少なくともいずれかに接続された複数の映像信号線と、

映像信号を供給するデータバスラインと、

前記複数の映像信号線のそれぞれに接続され、前記データバスラインから前記映像信号線への前記映像信号の供給を制御する第 1 のスイッチング素子と、

前記データバスラインとは異なる電源線と、

前記複数の映像信号線のそれぞれに接続され、前記電源線から前記信号線への電圧の供給を制御する第 2 のスイッチング素子と、

を備えたことを特徴とするアレイ基板。

【請求項 2】前記データバスラインは、前記映像信号のうちの正極信号を供給する第 1 のデータバスラインと、前記映像信号のうちの負極信号を供給する第 2 のデータバスラインと、を含み、

前記第 1 のスイッチング素子は、前記第 1 のデータバスラインに接続された正極側のスイッチング素子と、前記第 2 のデータバスラインに接続された負極側のスイッチング素子と、を含むものとして構成されていることを特徴とする請求項 1 記載のアレイ基板。

【請求項 3】前記電源線は、少なくとも 2 以上の配線を含み、

前記第 2 のスイッチング素子は、前記電源線の前記配線のそれぞれと前記信号線との間に設けられたものとして構成されていることを特徴とする請求項 1 または 2 に記載のアレイ基板。

【請求項 4】前記第 2 のスイッチング素子は、前記複数の信号線のそれぞれの両端付近にそれぞれ設けられていることを特徴とする請求項 1～3 のいずれか 1 つに記載のアレイ基板。

【請求項 5】マトリクス状に配置された複数の画素と、前記複数の画素の少なくともいずれかに接続された複数の映像信号線と、

前記複数の映像信号線のそれぞれに対して、間欠的に映像信号電圧を印加する手段と、

前記複数の映像信号線のそれぞれに対して、前記映像信号電圧を印加するに先だって、前記映像信号電圧を超えない電圧を印加する手段と、

を備えたことを特徴とするアレイ基板。

【請求項 6】マトリクス状に配置された複数のスイッチング素子と、

前記複数のスイッチング素子の少なくともいずれかに接続された複数の映像信号線と、

映像信号電圧を供給するデータバスラインと、

前記複数の映像信号線のそれぞれに接続され、前記データバスラインから前記映像信号線への前記映像信号電圧の供給を制御する第 1 のスイッチング素子と、基準電位

に接続された電源線と、

前記複数の映像信号線のそれぞれに接続され、前記電源線から前記信号線への前記基準電位の供給を制御する第 2 のスイッチング素子と、

を備え、

前記信号線への前記映像信号電圧の供給に先だって、前記基準電位が供給されるものとして構成されたことを特徴とする液晶表示装置。

【請求項 7】前記データバスラインは、前記映像信号電圧のうちの正極信号電圧を供給する第 1 のデータバスラインと、前記映像信号電圧のうちの負極信号電圧を供給する第 2 のデータバスラインと、を含み、

前記第 1 のスイッチング素子は、前記第 1 のデータバスラインに接続された正極側のスイッチング素子と、前記第 2 のデータバスラインに接続された負極側のスイッチング素子と、を含み、

前記信号線への前記映像信号電圧の供給は、前記正極信号電圧と前記負極信号電圧とが交互に供給されるものとして構成されていることを特徴とする請求項 6 記載の液晶表示装置。

【請求項 8】前記基準電位は、前記正極信号電圧の最大値と前記負極信号電圧の最小値との中間値の電圧であることを特徴とする請求項 7 記載の液晶表示装置。

【請求項 9】前記基準電位は、正極側の第 1 の基準電位と、負極側の第 2 の基準電位を含み、

前記電源線は、前記第 1 の基準電位に接続された第 1 の電源線と、前記第 2 の基準電位に接続された第 2 の電源線とを含み、

前記第 2 のスイッチング素子は、前記第 1 の電源線と前記信号線との間に設けられたスイッチング素子と、前記第 2 の電源線と前記信号線との間に設けられたスイッチング素子とを含み、

前記信号線への前記正極信号電圧の供給に先だって前記第 1 の電源線から前記第 1 の基準電位が供給され、前記信号線への前記負極信号電圧の供給に先だって前記第 2 の電源線から前記第 2 の基準電位が供給されるものとして構成されていることを特徴とする請求項 6 または 7 に記載の液晶表示装置。

【請求項 10】前記第 2 のスイッチング素子は、前記複数の信号線のそれぞれの両端付近にそれぞれ設けられていることを特徴とする請求項 6～9 のいずれか 1 つに記載の液晶表示装置。

【請求項 11】マトリクス状に配置された複数の画素と、

前記複数の画素の少なくともいずれかに接続された複数の映像信号線と、

前記複数の映像信号線のそれぞれに対して、間欠的に映像信号電圧を印加する手段と、

前記複数の映像信号線のそれぞれに対して、前記映像信号電圧を印加するに先だって、前記映像信号電圧の振幅

を超えない基準電圧を印加する手段と、
を備えたことを特徴とする液晶表示装置。

【請求項 12】マトリクス状に配置された複数の画素と、前記複数の画素の少なくともいずれかに接続された複数の映像信号線と、を有する液晶表示装置の駆動方法であって、

前記複数の映像信号線のそれぞれに対して、間欠的に映像信号電圧を印加するとともに、

前記映像信号電圧を印加するに先だって、前記映像信号電圧を超えない基準電圧を印加することを特徴とする液晶表示装置の駆動方法。

【請求項 13】マトリクス状に配置された複数の画素と、前記複数の画素の少なくともいずれかに接続された複数の映像信号線と、を有する液晶表示装置の駆動方法であって、前記複数の映像信号線のそれぞれに対して、正極の映像信号電圧と負極の映像信号電圧とを交互に印加するとともに、

前記映像信号電圧を印加するに先だって、前記正極の映像信号電圧と前記負極の映像信号電圧との間の電圧の基準電圧を印加することを特徴とする液晶表示装置の駆動方法。

【請求項 14】前記基準電圧は、前記正極の映像信号電圧の最大値と前記負極の映像信号電圧の最小値との中間値の電圧であることを特徴とする請求項 13 記載の液晶表示装置の駆動方法。

【請求項 15】マトリクス状に配置された複数の画素と、前記複数の画素の少なくともいずれかに接続された複数の映像信号線と、を有する液晶表示装置の駆動方法であって、

前記複数の映像信号線のそれぞれに対して、正極の映像信号電圧と負極の映像信号電圧とを交互に印加するとともに、

前記正極の映像信号電圧を印加するに先だって、前記正極の映像信号電圧と同じかそれよりも低い第 1 の基準電圧を印加し、

前記負極の映像信号電圧を印加するに先だって、前記負極の映像信号電圧と同じかそれよりも高い第 2 の基準電圧を印加することを特徴とする液晶表示装置の駆動方法。

【請求項 16】前記基準電圧を前記信号線の両端側からそれぞれ印加することを特徴とする請求項 12～15 のいずれか 1 つに記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アレイ基板、液晶表示装置及びその駆動方法に関する。さらに詳しくは、本発明は、信号線に信号電圧を印加するに先だって所定の基準電位を印加するようにしたアレイ基板、液晶表示装置及びその駆動方法に関する。

【0002】

【従来の技術】これまで液晶表示装置は、非晶質（アモルファス）シリコン TFT（Thin Film Transistor）を用いたアクティブマトリクス方式によるものが主流であった。しかし、近年、多結晶（ポリ）シリコン TFT を用いたものが開発されている。ポリシリコンはアモルファスシリコンと単結晶シリコンとの中間的な性質を持ち、その移動度は $10 \sim 200 \text{ cm}^2/\text{Vs}$ 程度の値を有する。ポリシリコンを用いれば、周辺回路を形成することが可能になり、アモルファスシリコンを用いた液晶表示装置とは異なった回路構成を採用することが可能になる。すなわち、周辺回路を液晶表示パネルのガラス基板（アレイ基板）上に画素部と同時に形成することができる。従って、駆動回路を、ガラス基板上に形成する内部駆動回路と、ガラス基板の外部において PCB（printed circuit board）を用いて構成する外部駆動回路とに分割することができる。

【0003】例えば、データを転送するシフトレジスタ部分をガラス基板上にポリシリコン TFT を用いて形成し、外部回路からデータをバスラインで入力してシフトレジスタで順次伝送する方式をとることが可能である。この方式によれば、電源線とデータバスの本数と回路制御信号だけを接続すればよく、外部回路が簡略化できるという利点があった。加えて、液晶表示装置に振動が加わった際に接続部分が少ないことで外部駆動回路を容易に固定できるため、接続部分にかかる応力が緩和され、信頼性が増すという利点があった。

【0004】図 12 は、外部駆動回路と内部駆動回路の概略構成を表すブロック図である。一般的な動作方式の場合には、例えば外部 PC（personal computer）本体からデジタル信号として入力されたデータ信号、クロック信号、タイミング制御信号は、制御用 IC に入力される。制御用 IC は、あらかじめ決められたタイミングで液晶駆動用 IC にデータ信号、クロック信号、制御信号を転送する。データ信号は、液晶駆動用 IC で V_{REF} 発生回路から供給される基準電圧を元にしてデジタル信号からアナログ信号に変換され、液晶表示パネルのアレイ基板に供給される。この場合、通常用いられる V_{REF} 発生回路では、ある階調に対して決められた電圧を発生するように構成されている。図 13 は、このようなデジタル信号の階調とアナログ信号電圧との関係を例示するグラフ図である。

【0005】図 12 に示した回路においては、内部駆動回路を、データを順次転送するシフトレジスタ部と入力したデータを選択するスイッチ部とによって構成することが可能である。この場合、シフトレジスタは、外部からのスタート信号によってブロック毎に順次データを転送する。各ブロックではシフトレジスタの出力信号を受けて、各ブロックのスイッチを制御する。外部駆動回路から供給されるデータ信号は、アレイ基板上に形成されたデータバスラインを経てスイッチに供給され、アナロ

グスイッチの開閉に従って、画面に垂直に配置された信号線に伝達され、画素に供給される。

【0006】

【発明が解決しようとする課題】しかし、このような回路構成の場合には、外部駆動回路からデータを供給する際に用いられる駆動用のアンプは、データバスラインとアナログスイッチと画面に縦方向に配線された信号線と画素とが負荷として接続されることとなる。その結果として、信号線の電位を所定の時間内に所望の電位に上昇させるために、駆動用のアンプは非常に大きな電流供給能力を有する必要がある。すなわち、従来の回路の場合、大きな負荷の電位を短時間に変化させるためには、十分な電流供給能力を持った出力アンプが必要になる。

【0007】しかし、こうした出力アンプは消費電力が大きいという問題があった。液晶表示装置は、ノート型コンピュータなどの各種携帯機器に利用されることが多く、消費電力の低減が強く要求されている。逆に、消費電力を抑えると十分な電流供給能力が得られず、所定時間内に規定の電位に負荷を駆動できないという問題が生じていた。

【0008】一方、液晶にかかる電位は、コモン電位に対して正側と負側とを交互に印加する交流駆動方式が一般的であり、入力信号を切り替える方法と正負2種の入力信号のいずれかを選択する方法のいずれかを用いることができる。図12の内部駆動回路において、後者の方法をとった場合を考える。この場合、入力データとして、正側信号と負側信号を入力する。アナログスイッチは予め決められたタイミングに従って、正側と負側のいずれかを選択する働きをする。外部駆動回路からは、正側、負側それぞれのデータ信号を入力する。このとき、単独のICで正負両側の信号を出力するためには、通常の信号振幅のおよそ2倍の振幅が必要となり、耐圧の大きなICが必要となる。通常、耐圧の大きなICは、単価が割高でコストアップにつながり、電源電圧が増大するために消費電力の増加も生じるという問題があった。

【0009】これに対して、正側、負側を別のICで駆動する方法が提案されている。ところが、この方法の場合には、ICの駆動状態に次のような問題を生じる。すなわち、正負極性を切り替える瞬間に、ICの電源電圧を超える電圧がICの出力端子にかかり、ICに過負荷となる可能性がある。さらに、信号線への書き込み時間が増大し、書き込み不足を生じる場合がある。

【0010】図14は、このような問題を説明するためのタイミング図である。すなわち、同図においては、データ信号の中心電圧を5Vとした交流駆動方式で黒を表示する場合を例に説明する。この場合、正側で黒レベルを表示した後、負側で黒を表示を表示することになる。すなわち、正側の黒レベルである例えば約9Vから、負側の黒レベルである約1Vへ信号電圧を変化させることが必要になる。

【0011】この際、負側のICは、負荷として9Vの電位が保持されている信号線に対して1Vの信号出力で黒レベルを書き込む必要がある。しかし、負側のICとして電源電圧5Vと0Vの範囲で動作するものを使用した場合には、電源電圧以上の負荷でICを駆動することになる。逆に、負側で黒表示した後、正側で黒表示する際には、1Vに保持されている信号線を9Vにする必要がある。この際に、正側のIC電源を10Vと5Vとして駆動していれば、ICの電源電圧を越えた1Vの電圧がICにかかってしまう。このように、交流駆動方式を採用した場合に、ICに過負荷がかかり、また信号線への書き込み時間が増大するという問題があった。

【0012】以上説明したように、内部駆動回路にアナログスイッチを用いた液晶表示装置においては、十分な電流供給能力を持った出力アンプが必要とされるために消費電力が大きいという問題があった。また、交流駆動方式をとる場合に、ICに過負荷がかかり、あるいはデータ書き込み不足が生じる、さらにはコストの上昇を招くという問題があった。

【0013】本発明は、かかる問題点を鑑みてなされたものである。すなわち、その目的は、低消費電力で、ICに過負荷がかからず、書き込み時間も短いアレイ基板、液晶表示装置及びその駆動方法を提供することにある。

【0014】

【課題を解決するための手段】すなわち、本発明のアレイ基板は、マトリクス状に配置された複数のスイッチング素子と、前記複数のスイッチング素子の少なくともいずれかに接続された複数の映像信号線と、映像信号を供給するデータバスラインと、前記複数の映像信号線のそれぞれに接続され、前記データバスラインから前記映像信号線への前記映像信号の供給を制御する第1のスイッチング素子と、前記データバスラインとは異なる電源線と、前記複数の映像信号線のそれぞれに接続され、前記電源線から前記信号線への電圧の供給を制御する第2のスイッチング素子と、を備えたことを特徴とする。

【0015】ここで、前記データバスラインは、前記映像信号のうちの正極信号を供給する第1のデータバスラインと、前記映像信号のうちの負極信号を供給する第2のデータバスラインと、を含み、前記第1のスイッチング素子は、前記第1のデータバスラインに接続された正極側のスイッチング素子と、前記第2のデータバスラインに接続された負極側のスイッチング素子と、を含むものとして構成されていることを特徴とする。

【0016】また、前記電源線は、少なくとも2以上の配線を含み、前記第2のスイッチング素子は、前記電源線の前記配線のそれぞれと前記信号線との間に設けられたものとして構成されていることを特徴とする。

【0017】さらに、前記第2のスイッチング素子は、前記複数の信号線のそれぞれの両端付近にそれぞれ設け

られていることを特徴とする。

【0018】または、本発明のアレイ基板は、マトリクス状に配置された複数の画素と、前記複数の画素の少なくともいずれかに接続された複数の映像信号線と、前記複数の映像信号線のそれぞれに対して、間欠的に映像信号電圧を印加する手段と、前記複数の映像信号線のそれぞれに対して、前記映像信号電圧を印加するに先だつて、前記映像信号電圧を超えない電圧を印加する手段と、を備えたことを特徴とする。

【0019】一方、本発明の液晶表示装置は、マトリクス状に配置された複数のスイッチング素子と、前記複数のスイッチング素子の少なくともいずれかに接続された複数の映像信号線と、映像信号電圧を供給するデータバスラインと、前記複数の映像信号線のそれぞれに接続され、前記データバスラインから前記映像信号線への前記映像信号電圧の供給を制御する第1のスイッチング素子と、基準電位に接続された電源線と、前記複数の映像信号線のそれぞれに接続され、前記電源線から前記信号線への前記基準電位の供給を制御する第2のスイッチング素子と、を備え、前記信号線への前記映像信号電圧の供給に先だつて、前記基準電位が供給されるものとして構成されたことを特徴とする。

【0020】ここで、前記データバスラインは、前記映像信号電圧のうちの正極信号電圧を供給する第1のデータバスラインと、前記映像信号電圧のうちの負極信号電圧を供給する第2のデータバスラインと、を含み、前記第1のスイッチング素子は、前記第1のデータバスラインに接続された正極側のスイッチング素子と、前記第2のデータバスラインに接続された負極側のスイッチング素子と、を含み、前記信号線への前記映像信号電圧の供給は、前記正極信号電圧と前記負極信号電圧とが交互に供給されるものとして構成されていることを特徴とする。

【0021】また、前記基準電位は、前記正極信号電圧の最大値と前記負極信号電圧の最小値との中間値の電圧であることを特徴とする。

【0022】または、前記基準電位は、正極側の第1の基準電位と、負極側の第2の基準電位を含み、前記電源線は、前記第1の基準電位に接続された第1の電源線と、前記第2の基準電位に接続された第2の電源線とを含み、前記第2のスイッチング素子は、前記第1の電源線と前記信号線との間に設けられたスイッチング素子と、前記第2の電源線と前記信号線との間に設けられたスイッチング素子とを含み、前記信号線への前記正極信号電圧の供給に先だつて前記第1の電源線から前記第1の基準電位が供給され、前記信号線への前記負極信号電圧の供給に先だつて前記第2の電源線から前記第2の基準電位が供給されるものとして構成されていることを特徴とする。

【0023】ここで、前記第2のスイッチング素子は、

前記複数の信号線のそれぞれの両端付近にそれぞれ設けられていることを特徴とする。

【0024】または、本発明の液晶表示装置は、マトリクス状に配置された複数の画素と、前記複数の画素の少なくともいずれかに接続された複数の映像信号線と、前記複数の映像信号線のそれぞれに対して、間欠的に映像信号電圧を印加する手段と、前記複数の映像信号線のそれぞれに対して、前記映像信号電圧を印加するに先だつて、前記映像信号電圧の振幅を超えない基準電圧を印加する手段と、を備えたことを特徴とする。

【0025】一方、本発明の液晶表示装置の駆動方法は、マトリクス状に配置された複数の画素と、前記複数の画素の少なくともいずれかに接続された複数の映像信号線と、を有する液晶表示装置の駆動方法であつて、前記複数の映像信号線のそれぞれに対して、間欠的に映像信号電圧を印加するとともに、前記映像信号電圧を印加するに先だつて、前記映像信号電圧を超えない基準電圧を印加することを特徴とする。

【0026】または、本発明の液晶表示装置の駆動方法は、マトリクス状に配置された複数の画素と、前記複数の画素の少なくともいずれかに接続された複数の映像信号線と、を有する液晶表示装置の駆動方法であつて、前記複数の映像信号線のそれぞれに対して、正極の映像信号電圧と負極の映像信号電圧とを交互に印加するとともに、前記映像信号電圧を印加するに先だつて、前記正極の映像信号電圧と前記負極の映像信号電圧との間の電圧の基準電圧を印加することを特徴とする。

【0027】ここで、前記基準電圧は、前記正極の映像信号電圧の最大値と前記負極の映像信号電圧の最小値との中間値の電圧であることを特徴とする。

【0028】または、本発明の液晶表示装置の駆動方法は、マトリクス状に配置された複数の画素と、前記複数の画素の少なくともいずれかに接続された複数の映像信号線と、を有する液晶表示装置の駆動方法であつて、前記複数の映像信号線のそれぞれに対して、正極の映像信号電圧と負極の映像信号電圧とを交互に印加するとともに、前記正極の映像信号電圧を印加するに先だつて、前記正極の映像信号電圧と同じかそれよりも低い第1の基準電圧を印加し、前記負極の映像信号電圧を印加するに先だつて、前記負極の映像信号電圧と同じかそれよりも高い第2の基準電圧を印加することを特徴とする。

【0029】ここで、前記基準電圧を前記信号線の両端側からそれぞれ印加することを特徴とする。

【0030】本発明によれば、以上の構成により、外部駆動回路に設けた出力アンプが供給すべき電圧振幅を低減でき、より消費電力の小さなアンプで駆動回路を構成することができる。また、外部駆動回路に設けた信号線書き込みのためのICの出力ピンに過大な電圧が印加されることを防止できることに加え、セトリング時間を短縮することもできる。

【0031】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら詳細に説明する。図1は、本発明による液晶表示装置の要部構成を表す概略回路図である。すなわち、本発明の液晶表示装置は、画像表示部に画素TFT6がマトリクス状に配置されている。それぞれのTFT6には、画素電極を介して液晶層2が接続され、この液晶層2と並列に補助容量4が接続されている。

【0032】画像表示部には、ゲート信号線8と映像信号線10とが縦横に配線されている。画素TFT6のゲートは、ゲート信号線8のいずれかに接続され、ソースまたはドレインは映像信号線10のいずれかに接続されている。映像信号線10の一端には、スイッチ12を介してデータバスライン14が接続されている。一般的には、データバスラインは、複数本の配線からなる場合が多いが、本願明細書においては、説明の便宜上1本のみを表す。また、スイッチ12の制御端子は、制御回路16に接続されている。

【0033】一方、映像信号線10の他端は、スイッチ22を介して基準電位24に接続されている。また、スイッチ22の制御端子は、制御回路26に接続されている。ここで、液晶層2に接する画素電極までの回路部分は、液晶表示パネルのアレイ基板上に集積することができる。

【0034】図1に示した液晶表示装置においても、通常の動作は従来の液晶表示装置と同様に行われる。すなわち、データバスライン14を介して画面の縦方向に配設された映像信号線10にデータ信号を供給し、選択されたゲート信号線8にゲート信号を伝送し、これらが交差する位置の画素に電荷を書き込むという動作が行われる。この動作は、液晶表示装置の外部から入力されたデータ信号に対して、外部駆動回路内に設けられた制御用ICによってなされる。ここで外部駆動回路とは、アレイ基板の外部で液晶表示装置内に配置された回路をさす。

【0035】図2は、図1の回路の動作を説明するタイミング図である。すなわち、同図には、スイッチ22の制御信号と、スイッチ12の制御信号と、信号線電位と、ある信号線に書き込むべきデータ信号を表す。ここで、信号線電位は、スイッチ22を介して信号線10に書き込まれた電圧とデータ入力信号との和である。ここでは、画素に信号を書き込む毎に、信号線に基準電位も書き込む場合を示す。

【0036】スイッチ12に制御信号を送る制御回路16は、シフトレジスタを有し、このシフトレジスタからの出力が制御信号として用いられる。この制御信号は、外部駆動回路から入力するシフトレジスタのスタート信号とクロック信号とにより、あらかじめ設計したタイミングで出力される。スイッチ12が開くタイミングは、

スイッチ22が閉じるタイミングとほぼ同時であるが、データバス信号のデータ書き込みを阻害しない時間で開く必要がある。つまり、データ書き込みが完了してからスイッチ12が開き、スイッチ22が閉じるようにされる。

【0037】基準電位の書き込みは、100～200ns程度の時間で十分であるので、スイッチ22が閉じている時間は100ns以上に設定すればよい。

【0038】画面に縦方向に配線された信号線10の電位は、スイッチ22が閉じて基準電位 V_a になった後、スイッチ22が開いてスイッチ12が閉じることにより、所定のデータ信号電圧まで上昇する。スイッチ12が開いた後は、その電位が保持され、所定のゲート信号線にゲート信号が印加されることにより所定の画素への信号の書き込みが実施される。この動作は、通常は1水平周期ごとに行われる。

【0039】本発明によれば、データバスライン14から信号線10に対する信号の書き込みに先だって基準電位 V_a が書き込まれるため、最大振幅まで書き込む場合であっても、書き込みの際の電圧振幅が小さくて済む。従って、従来よりも駆動能力の小さい駆動ICを用いることができ、消費電力を低減することができる。また、同じ駆動能力を持った駆動ICを用いた場合には、セトリング時間が短縮されるという効果が得られる。

【0040】比較のために、従来の液晶表示装置の動作、すなわち基準電位の書き込みが行われない場合の信号線の電位波形を、図2の信号線電位のグラフ中に破線で示す。従来の場合は、画素への書き込みが実施された後、信号線の電位は不定となるが、スイッチ12が閉じた際に、データバスラインの電位へ遷移する。ここで、データバスラインの電位は、データとデータとの間の状態であるため、多くの場合、対向電極すなわちコモン電位に近い、最も低い電位となる。そのため、従来の場合は、図2に破線で示したように、データバスラインの電位と同じ低い電位になった信号線に対して書き込みを行う必要があるため、書き込むべき電圧振幅が大きく、本発明に比べセトリングタイムも大きい。

【0041】本発明においては、セトリング時間を同じにする場合には、電圧の立ち上がりを緩和できるために、駆動用ICの出力バッファの能力が小さくて済む。なお、図2においては、タイミングの一例を示したが、本発明はこれに限定されるものではなく、画面駆動条件によって、適宜適切なタイミングを用いることができる。

【0042】図3は、外部駆動回路と内部駆動回路の概略構成を表すブロック図である。同図においては、外部駆動回路は、液晶表示パネルの外部に設けられた回路部分であり、内部駆動回路は、液晶表示パネルのアレイ基板上に集積化された回路部分とすることができる。同図を参照しつつ本発明の液晶表示装置の動作を説明すると

以下の如くである。

【0043】まず、従来の場合と同様に外部PCなどからのデジタル信号として、データ信号とクロック信号と制御信号とが制御用ICに入力される。制御用ICは、所定のタイミングでデータ信号とクロック信号と制御信号とを液晶駆動用ICに伝送する。同時に、データ信号に応じてスイッチ22の制御信号を発生し、アレイ基板に入力する。液晶駆動用ICの動作は、従来の回路と同様とすることができる。すなわち、液晶駆動用ICは、デジタル信号をVREF発生回路に応じてアナログ信号に変換して、アレイ基板に配設されたデータバスラインに供給する。

【0044】VREF発生回路も従来と同様の構成とすることができ、例えば電源電圧を抵抗分割することにより各階調に相当する基準電圧を得る。図1において示した基準電位Vaは、これらの基準電圧のいずれか一つを選択すればよい。たとえば、階調の中間に相当する電圧に設定すれば、この電圧は、個々のアレイ基板の特性によって調整することも可能である。極性反転を実施する際には、それぞれの極性におけるVREF電圧に従って適切な基準電位を設定すればよい。なお、図3には、本発明の液晶表示装置の主要な部分のみを記載しており、従来の回路と共通な他の部分は省略した。また、ここで示した液晶駆動用ICは、単一のICでも複数のICでも良く、また、他の電気素子や回路も包含することもできる。

【0045】以上説明したように、本発明によれば、あらかじめ基準電位を信号線に書き込むことによって、液晶駆動用ICが駆動すべき電圧振幅は半分となり、駆動能力が小さな出力バッファを用いることができるために、消費電力を低減できる。また、セトリング時間の短縮も容易となる。

【0046】次に、本発明を交流駆動方式に応用した場合の実施の形態について説明する。図4は、本発明による交流駆動の動作を説明するタイミング図である。ここで用いる液晶表示装置の回路構成は、図1に示したものと同様のものとしてすることができる。従って、以下では、図1も参照しつつ説明する。

【0047】交流駆動方式においては、液晶画素に正側と負側のデータを交互に書き込む。従って、1垂直周期あるいは1水平周期ごとに、図4に示したように、データバスライン14に供給する外部データ信号の極性を反転する。そして、極性を反転する際に、スイッチ12を開き、スイッチ22を閉じて信号線10に基準電位を供給する。この場合に基準電位Vaは、図4に示したように、正極信号電圧と負極信号電圧との中間の電位とする。このようにすれば、外部の駆動回路に負荷をかけることなく信号線の極性を反転させることができる。

【0048】図4のタイミングチャートに示したように、水平あるいは垂直周期のいずれの場合にも、データ

の極性反転に合わせて、スイッチの制御信号を切り替えればよい。信号線を基準電位Vaにする時間は、通常100ns以下で足りるので、スイッチ22を閉じる時間は立ち上がり立ち下がりも考慮しても300ns以下で良い。また、基準電位Vaについては、例えば、正極電位が9ボルトで負極電位が1ボルトの場合には、基準電位Vaをこれらの中間の5ボルト前後とすることができる。

【0049】通常、書き込むべき信号振幅が大きいと、駆動するICも多大な負荷を駆動する能力が必要になり、消費電力が増大する。本発明によれば、信号線10に対する信号書き込みの際の電圧振幅が半分ですむことから、外部ICの駆動能力を削減することができ、低消費電力化の効果が得られる。また、駆動するICの駆動能力を同じとする場合には、信号振幅の小さい方が、目標電圧に達する時間も少なくすむ。つまり、信号の書き込み時間を短縮することができるという効果を得ることができる。

【0050】次に、液晶駆動用の回路として、正負の書き込みをそれぞれ別のICで行う場合について説明する。図5は、本発明の第2の液晶表示装置の要部を表す概略回路図である。すなわち、同図の液晶表示装置においても、画像表示部に画素TFT6がマトリクス状に配置されている。それぞれのTFT6には、画素電極を介して液晶層2が接続され、この液晶層2と並列に補助容量4が接続されている。

【0051】画像表示部には、ゲート信号線8と映像信号線10などが縦横に配線されている。画素TFT6のゲートは、ゲート信号線8のいずれかに接続され、ソースまたはドレインは映像信号線10のいずれかに接続されている。

【0052】本実施形態においては、映像信号線10の一端には、スイッチ32とスイッチ42などを介して正負のデータバスライン34、44が接続されている。一般的には、データバスラインは、複数本の配線からなる場合が多いが、本願明細書においては、説明の便宜上それぞれ1本のみとして表す。また、スイッチ32、42の制御端子は、制御回路36、46に接続されている。

【0053】一方、映像信号線10の他端は、スイッチ52、62を介して基準電位54、64に接続されている。また、スイッチ52、62の制御端子は、制御回路56、66に接続されている。

【0054】同図に示した回路も、液晶層2に接する画素電極までの回路部分は、液晶表示パネルのアレイ基板上に集積することができる。

【0055】図6は、図5の液晶表示装置の動作を説明するタイミング図である。すなわち、同図は、各スイッチの動作タイミングと信号線の電位とを表す。ここでは、信号極性を反転する交流駆動の場合の動作を例示した。

【0056】まず、ある1水平周期期間中に、スイッチ32を閉じて画面表示部に縦方向に配設されたいずれかの信号線を介して、正極の信号を画素に書き込む場合を考える。この際に、まず、スイッチ52を閉じ、スイッチ62を開いて、正側の基準電位 V_a を信号線10を書き込む。その後、スイッチ52を開いてスイッチ32を閉じ、正極側の液晶駆動用ICから所定の信号電位を書き込む。その後、スイッチ32を開いて、所定のゲート信号線8にゲート信号を印加し、画素TFT6をオンにして画素2への書き込みを行う。

【0057】次の1水平周期期間では、信号線10に負側の信号を書き込む。この際にまず、スイッチ52を開き、スイッチ62を閉じて負側の基準電位 V_b を信号線10に書き込む。次に、スイッチ62を開いてスイッチ42を閉じ、負極側の液晶駆動用ICから所定の電位を書き込む。その後、スイッチ42を開き、所定のゲート信号線8にゲート信号を印加することによって画素2へ信号を書き込む。

【0058】信号線に対する、信号極性の反転は、1水平周期ごとあるいは1垂直周期ごとに行われる。正側の基準電位 V_a は正極側の V_{REF} と共通電位 V_{com} との中間の電位とし、負側の基準電位 V_b は、負極側の V_{REF} の共通電位 V_{com} との中間の電位に設定すればよい。ここで、共通電位 V_{com} は、一般的には、液晶層の対向電極に印加される電位である。

【0059】図6に破線で示した従来の液晶表示装置の信号線の電位と比較すると、本発明の場合には、スイッチ32、42を閉じる瞬間の信号線の電位が基準電位 V_a 、 V_b まで緩和されていることが分かる。すなわち、本実施形態においても、スイッチ32、42を介した信号の書き込みの際に、予め信号線を所望の極性の中間電位にしておくので、書き込みに際しての電圧振幅を大幅に小さくすることができる。その結果として、駆動用ICの負荷が大幅に軽減され、セトリング時間が短縮され、あるいは立ち上がり時間の緩和による消費電力の低減が図れる。

【0060】図6においては、動作タイミングの一例を示したが、本発明はこれに限定されるものではなく、画面駆動条件によって、適宜タイミングを調整することができる。

【0061】図7は、図5に例示した液晶表示装置の回路のブロック図である。図3に例示したものと比べると、正極側と負極側とにそれぞれ液晶駆動用IC、 V_{REF} 発生回路、スイッチを有し、信号電圧と基準電圧をそれぞれの極性において制御する点が異なる。これら以外の点は、図3に例示したものと同様とすることができるのでその構成と動作についての詳細な説明は省略する。また、同図における外部駆動回路と内部駆動回路の区別も一例に過ぎず、例えば、駆動用ICや V_{REF} 発生回路などを内部駆動回路に含めて構成しても良い。

【0062】次に、本発明の変形例について説明する。図8は、本発明の第3の液晶表示装置の要部構成を表す概略回路図である。すなわち、同図の液晶表示装置においても、画像表示部に画素TFT6がマトリクス状に配置されている。それぞれのTFT6には、画素電極を介して液晶層2が接続され、この液晶層2と並列に補助容量4が接続されている。

【0063】画像表示部には、ゲート信号線8と映像信号線10とが縦横に配線されている。画素TFT6のゲートは、ゲート信号線8のいずれかに接続され、ソースまたはドレインは映像信号線10のいずれかに接続されている。

【0064】本実施形態においては、映像信号線10の一端には、スイッチ32とスイッチ42とを介して正負のデータバスライン34、44が接続されている。一般的には、データバスラインは、複数本の配線からなる場合が多いが、本願明細書においては、説明の便宜上それぞれ1本のみとして表す。また、スイッチ32、42の制御端子は、制御回路36、46に接続されている。

【0065】一方、映像信号線10の他端は、スイッチ22を介して基準電位24に接続されている。また、スイッチ22の制御端子は、制御回路26に接続されている。同図に示した回路も、液晶層2に接する画素電極までの回路部分は、液晶表示パネルのアレイ基板上に集積することができる。

【0066】図9は、図8の液晶表示装置の動作を説明するタイミング図である。すなわち、同図は、各スイッチの動作タイミングと信号線の電位とを表す。ここでは、信号極性を反転する交流駆動の場合の動作を例示した。すなわち、共通電位 V_{com} を5ボルトとし、正極側においては5ボルトから9ボルトまでの間の信号が印加され、負極側においては5ボルトから1ボルトまでの間の信号が印加される場合を例示した。

【0067】本実施形態においても図5に関して前述したものと同様に、信号線10に接続したスイッチ32、42の開閉を制御して交流駆動が行われる。すなわち、ある1水平周期期間中に、ここでアナログスイッチ32を閉じて正極側の信号を画素に書き込んだとする。次の水平期間に移行する前にアナログスイッチ32を開き、アナログスイッチ22を閉じ、信号線の電位を基準電位たとえば共通電位 V_{com} とする。次に、スイッチ22を開き、スイッチ42を閉じて次の水平周期に負極側の信号を書き込む。信号線10電位は、正極側から負極側に移行する際、例えば正極側の黒レベルである9ボルトから、一旦データの共通電位である5ボルトに落とされ、その後、負極側の黒レベルである1ボルトに移移する。負極側から正極側に移行する際にも、一旦共通電位に昇圧される。その結果として、正極側、負極側の駆動用ICによる信号書き込みの際に、ICの出力端子に電源電位以上の負荷がかからない。従って、耐圧の低いICを

用いることができ、消費電力を低減することができる。
また、負荷の電位の変化分が小さくなるため、セトリグ時間が低減するという効果もある。

【0068】次に、本発明のさらなる変形例について説明する。図10は、本発明の第4の液晶表示装置の要部構成を表す概略回路図である。すなわち、同図の液晶表示装置は、基準電位に接続するスイッチを信号線の両端に配置した例を示す。すなわち、信号線10の一端には、スイッチ22を介して基準電位24が接続され、信号線10の他端には、スイッチ72を介して基準電圧74が接続されている。それぞれのスイッチには、制御回路26、76が接続されている。これ以外の部分は、図8に示したものと概略同一とすることができるので、同一の符号を付して詳細な説明は省略する。

【0069】本実施形態によれば、信号線10の両端から基準電位24、74を供給することができるので、信号線10の電位が安定するまでの時間が短くて済むという利点がある。

【0070】図11は、図10の液晶表示装置の動作を説明するタイミング図である。すなわち、同図は、各スイッチの動作タイミングと信号線の電位とを表す。ここでも、信号極性を反転する交流駆動の場合の動作を例示した。すなわち、共通電位 V_{com} を5ボルトとし、正極側においては5ボルトから9ボルトまでの間の信号が印加され、負極側においては5ボルトから1ボルトまでの間の信号が印加される場合を例示した。

【0071】本実施形態においても図5に関して前述したものと同様に、信号線10に接続したスイッチ32、42の開閉を制御して交流駆動が行われる。すなわち、ある1水平周期期間中に、ここでアナログスイッチ32を閉じて正極側の信号を画素に書き込んだとする。次の水平期間に移行する前にアナログスイッチ32を開き、アナログスイッチ22と72を閉じ、信号線10の両端から電位を印加して、基準電位たとえば共通電位 V_{com} とする。次に、スイッチ22、72を開き、スイッチ42を閉じて次の水平周期に負極側の信号を書き込む。信号線10電位は、正極側から負極側に移行する際、例えば正極側の黒レベルである9ボルトから、一旦データの共通電位である5ボルトに落とされ、その後、負極側の黒レベルである1ボルトに遷移する。負極側から正極側に移行する際にも、一旦共通電位に昇圧される。その結果として、正極側、負極側の駆動用ICによる信号書き込みの際に、ICの出力端子に電源電位以上の負荷がかからない。従って、耐圧の低いICを用いることができ、消費電力を低減することができる。また、負荷の電位の変化分が小さくなるため、セトリグ時間が低減するという効果もある。特に、本実施形態によれば、信号線10の両端から基準電位を印加するので、その立ち上がり時間を短縮することができるという利点がある。

【0072】以上、具体例を参照しつつ本発明の実施の

形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。例えば、図10に示したように、信号線の両側にスイッチを介して基準電位を設ける構成は、前述した図1または図5の構成についても同様に適用することができ、同様の効果を得ることができる。

【0073】また、本発明において設ける基準電位の電圧は、映像信号の電圧振幅を超えるものでなければ良い。例えば、映像信号が正極の電圧の場合には、基準電圧としては、その映像信号電圧と同一がそれよりも低い電圧であれば良い。同様に、映像信号が負極側の信号の場合には、基準電圧としては、その映像信号電圧と同一がそれよりも高い電圧であれば良い。

【0074】さらに信号線に対して供給する映像信号の電圧が所定の基準電圧に満たないものである場合には、基準電圧の供給を停止するようにしても良い。例えば、映像信号のレベルと基準電圧とを比較する回路を設け、その比較の結果、映像信号が基準信号よりも小さい振幅幅のものである場合には、基準電圧を印加するスイッチをオンしないようにすることもできる。

【0075】

【発明の効果】以上説明したように、本発明によれば、信号線の電位を、一旦、信号振幅の中間に設定した基準電位にすることができることから、外部液晶駆動用ICの負荷を軽減し、消費電力を低下させ、セトリグ時間を短縮することができる。

【0076】また、本発明によれば、交流駆動方式における信号の極性反転の際に、信号線の電位を、一旦、基準電位にすることができることから、駆動用ICに電源電圧を超えた過大な負荷をかけることがなくなり、かつ、セトリグ時間の短縮が可能になる。

【0077】すなわち、本発明によれば、液晶表示装置の表示品質を低下させることなく消費電力を低減することが可能となる。また、従来よりも耐圧の低いICを用いることが可能となり液晶表示装置のコストを低下することもできる。その結果として、ノート型コンピュータや各種の携帯用情報機器などに広範に応用することが可能となり、電池の寿命も伸ばすことができるようになる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の要部構成を表す概略回路図である。

【図2】図1の回路の動作を説明するタイミング図である。

【図3】外部駆動回路と内部駆動回路の概略構成を表すブロック図である。

【図4】本発明による交流駆動の動作を説明するタイミング図である。

【図5】本発明の第2の液晶表示装置の要部を表す概略回路図である。

17

【図6】図5の液晶表示装置の動作を説明するタイミング図である。

【図7】図5に例示した液晶表示装置の回路のブロック図である。

【図8】本発明の第3の液晶表示装置の要部構成を表す概略回路図である。

【図9】図8の液晶表示装置の動作を説明するタイミング図である。

【図10】本発明の第4の液晶表示装置の要部構成を表す概略回路図である。

【図11】図10の液晶表示装置の動作を説明するタイミング図である。

【図12】外部駆動回路と内部駆動回路の概略構成を表すブロック図である。

【図13】デジタル信号の階調とアナログ信号電圧との

18

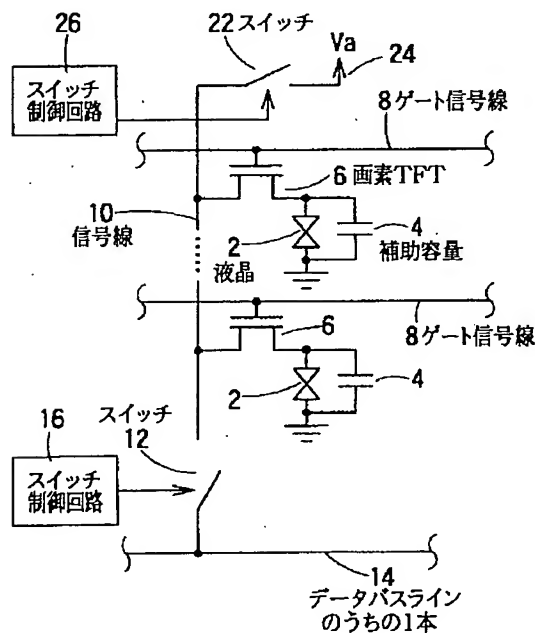
関係を例示するグラフ図である。

【図14】従来の液晶表示装置の動作を説明するためのタイミング図である。

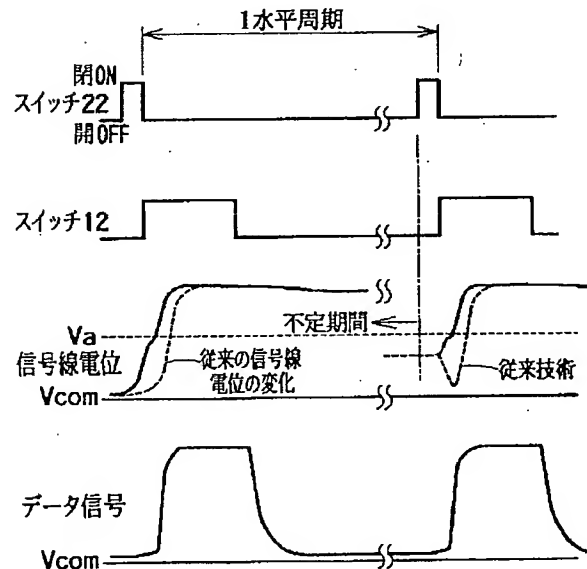
【符号の説明】

- 2 液晶
- 4 補助容量
- 6 画素TFT
- 8 ゲート信号線
- 10 信号線
- 12、22、32、42、52、62、72 アナログスイッチ
- 14、34、44 データバスライン
- 24、54、64 基準電位
- 16、26、36、46、56、66、76 制御回路

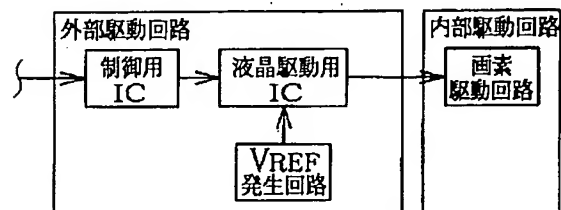
【図1】



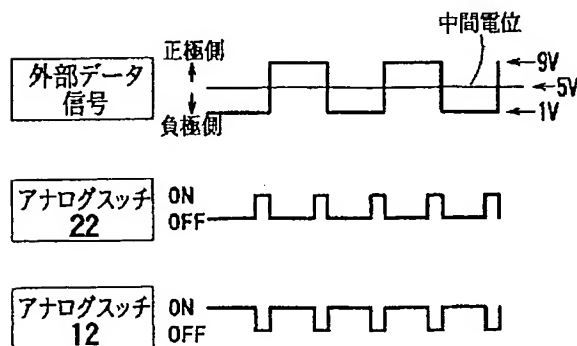
【図2】



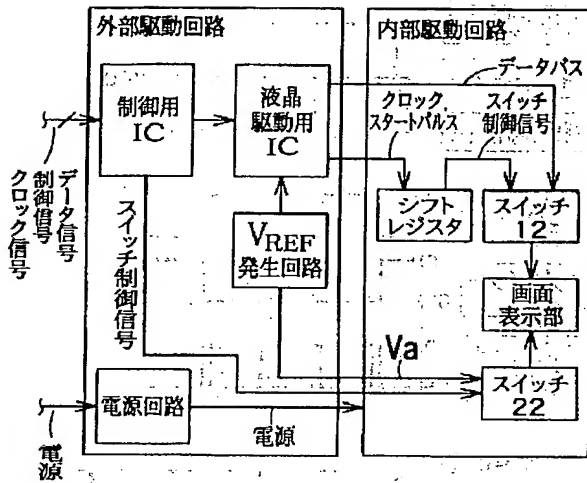
【図12】



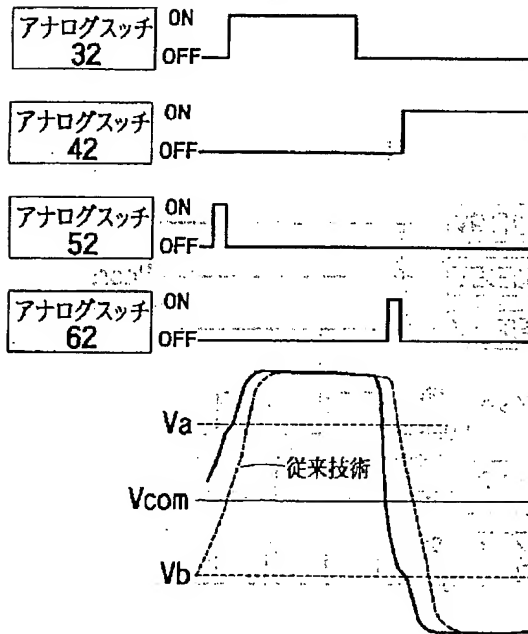
【図4】



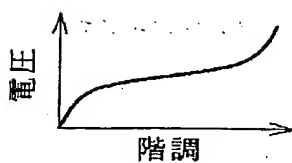
【図3】



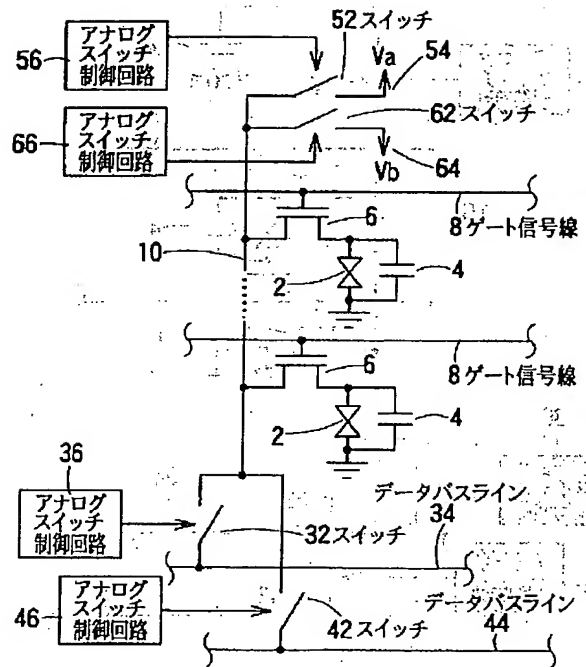
【図6】



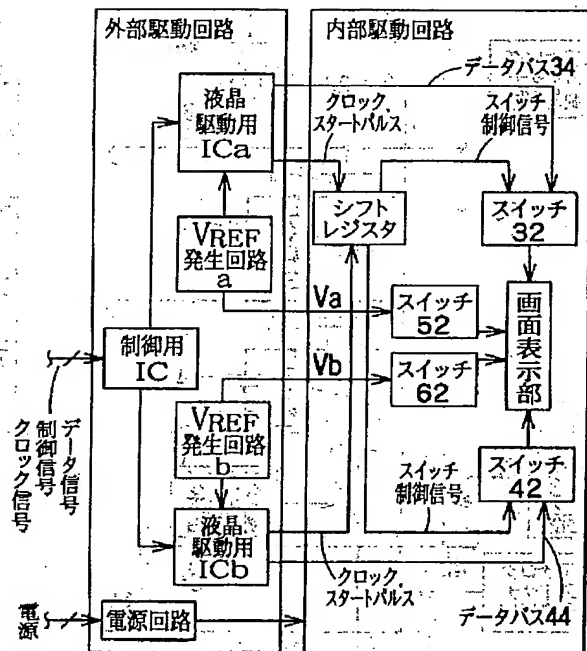
【図13】



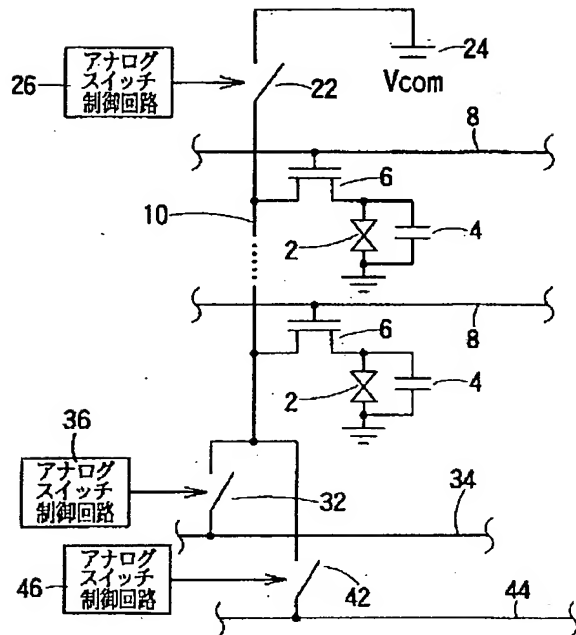
【図5】



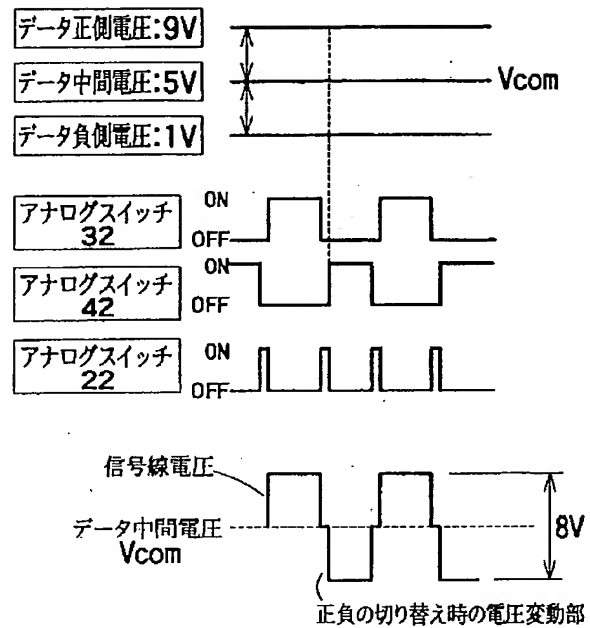
【図7】



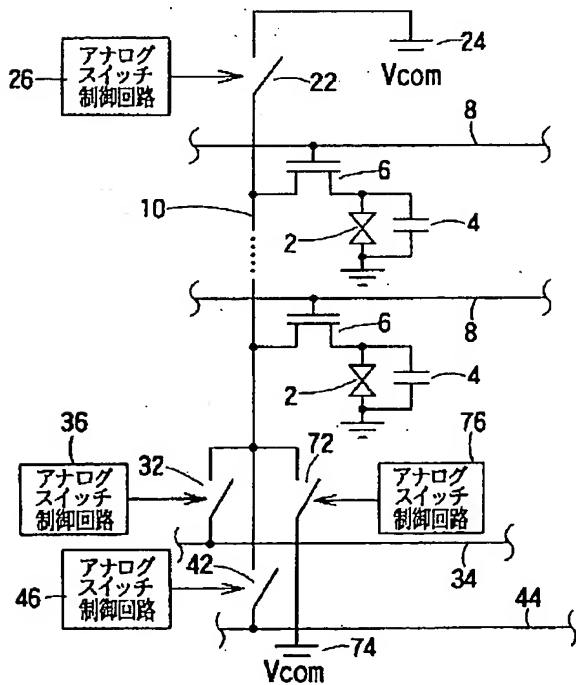
【図 8】



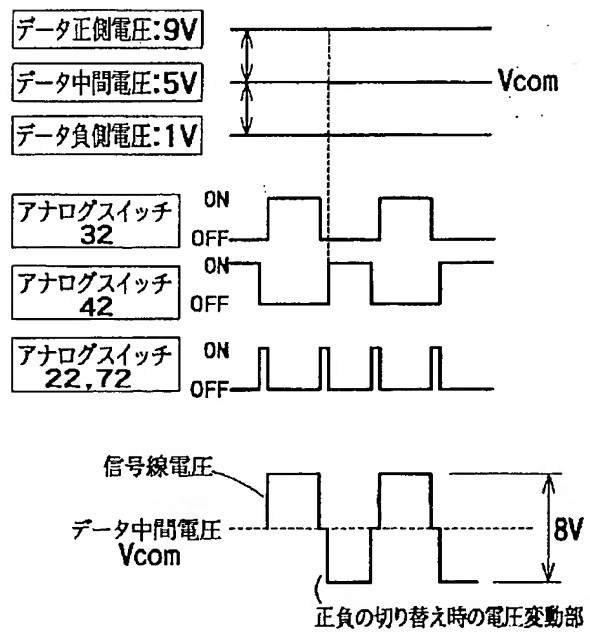
【図 9】



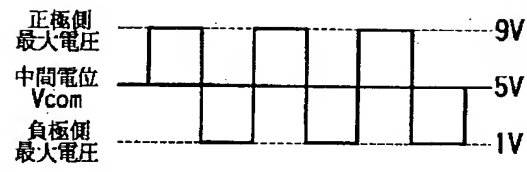
【図 10】



【図 11】



【図 1 4】



THIS PAGE BLANK (USPTO)